



(21)申请号 201811462274.7

(51)Int.Cl.

(22)申请日 2018.11.30

G09G 3/3225(2016.01)

(65)同一申请的已公布的文献号

审查员 刘承奇

申请公布号 CN 109272936 A

(43)申请公布日 2019.01.25

(30)优先权数据

107131030 2018.09.04 TW

(73)专利权人 友达光电股份有限公司

地址 中国台湾新竹科学工业园区新竹市力行二路1号

(72)发明人 洪嘉澤 郑贤薰 林振祺 詹孟熙

郭庭玮 奚鹏博

(74)专利代理机构 北京市立康律师事务所

11805

代理人 梁挥 孟超

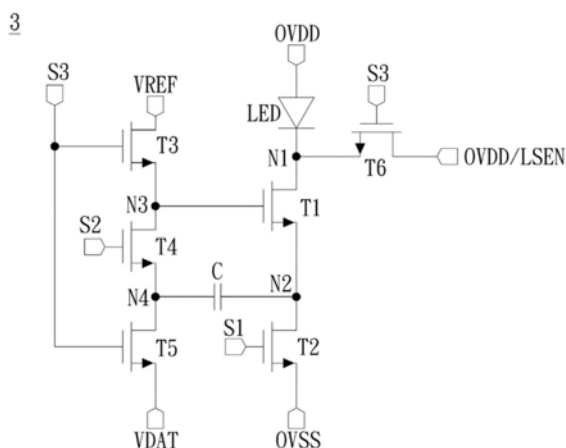
权利要求书3页 说明书8页 附图6页

(54)发明名称

像素电路及其运作方法

(57)摘要

一种应用于微发光二极管显示器的像素电路,包含发光二极管、第一晶体管~第六晶体管及电容。发光二极管耦接于第一电压与第一节点之间。第一晶体管耦接于第一节点与第二节点之间。第二晶体管耦接于第二节点与低于第一电压的第二电压之间。第三晶体管耦接于第三电压与第三节点之间。第四晶体管耦接于第三节点与第四节点之间。第五晶体管耦接于第四节点与第四电压之间。第六晶体管的一端耦接第一节点。电容耦接于第二节点与第四节点之间。第四晶体管受控于第二控制信号。第三晶体管、第五晶体管及第六晶体管受控于第三控制信号。



1. 一种像素电路,应用于一微发光二极管显示器,该像素电路接收一第一控制信号、一第二控制信号及一第三控制信号,其特征在于,该像素电路包含:

- 一发光二极管,耦接于一第一电压与一第一节点之间;
- 一第一晶体管,耦接于该第一节点与一第二节点之间;
- 一第二晶体管,耦接于该第二节点与一第二电压之间,其中该第二电压低于该第一电压;
- 一第三晶体管,耦接于一第三电压与一第三节点之间,且接收该第三控制信号并受该第三控制信号所控制;
- 一第四晶体管,耦接于该第三节点与一第四节点之间,且接收该第二控制信号并受该第二控制信号所控制;
- 一第五晶体管,耦接于该第四节点与一第四电压之间,且接收该第三控制信号并受该第三控制信号所控制;
- 一第六晶体管,其一端耦接该第一节点,且接收该第三控制信号并受该第三控制信号所控制;以及
- 一电容,耦接于该第二节点与该第四节点之间。

2. 如权利要求1所述的像素电路,其特征在于,其中该第三电压为参考电压且该第四电压为数据电压。

3. 如权利要求1所述的像素电路,其特征在于,其中该第三电压为数据电压且该第四电压为参考电压。

4. 如权利要求1所述的像素电路,其特征在于,其中当该像素电路运作于一第一补偿模式时,该第六晶体管的另一端耦接该第一电压。

5. 如权利要求4所述的像素电路,其特征在于,其中于一第一期间内,该发光二极管不导通,该第一控制信号与该第三控制信号为高电平且该第二控制信号为低电平,致使该第四晶体管不导通且该第一晶体管、该第二晶体管、该第三晶体管、该第五晶体管及该第六晶体管导通。

6. 如权利要求5所述的像素电路,其特征在于,其中该第一节点具有该第一电压、该第二节点具有该第二电压、该第三节点具有该第三电压且该第四节点具有该第四电压,从该第一节点流经该第一晶体管至该第二节点的一重置电流与该第二电压、该第三电压以及该第一晶体管的临界电压有关。

7. 如权利要求4所述的像素电路,其特征在于,其中于一第二期间内,该发光二极管不导通,该第一控制信号与该第二控制信号为低电平且该第三控制信号为高电平,致使该第二晶体管及该第四晶体管不导通且该第一晶体管、该第三晶体管、该第五晶体管及该第六晶体管导通。

8. 如权利要求7所述的像素电路,其特征在于,其中该第一节点具有该第一电压、该第二节点的电压等于该第三电压减去该第一晶体管的临界电压、该第三节点具有该第三电压且该第四节点具有该第四电压,该电容两端的跨压等于该第四电压减去该第三电压再加上该第一晶体管的临界电压。

9. 如权利要求4所述的像素电路,其特征在于,其中于一第三期间内,该发光二极管导通,该第一控制信号与该第二控制信号为高电平且该第三控制信号为低电平,致使该第三

晶体管、该第五晶体管及该第六晶体管不导通且该第一晶体管、该第二晶体管及该第四晶体管导通。

10. 如权利要求9所述的像素电路,其特征在于,其中流经该发光二极管的一发光二极管电流与该第四电压以及该第三电压有关。

11. 如权利要求1所述的像素电路,其特征在于,其中当该像素电路运作于一第二补偿模式时,该第六晶体管的另一端耦接该微发光二极管显示器的一感测线。

12. 如权利要求11所述的像素电路,其特征在于,其中该第一控制信号与该第三控制信号为高电平且该第二控制信号为低电平,致使该第四晶体管不导通且该第一晶体管、该第二晶体管、该第三晶体管、该第五晶体管及该第六晶体管导通,该发光二极管不导通,该感测线提供一检测电流依序流经该第六晶体管、该第一节点、该第一晶体管、该第二节点及该第二晶体管,且该检测电流与该第二电压、该第三电压以及该第一晶体管的临界电压有关。

13. 如权利要求11所述的像素电路,其特征在于,其中该第一控制信号与该第二控制信号为低电平且该第三控制信号为高电平,致使该第一晶体管、该第二晶体管及该第四晶体管不导通且该第三晶体管、该第五晶体管及该第六晶体管导通,该发光二极管导通,一参考电流依序流经该发光二极管、该第一节点及该第六晶体管至该感测线而形成一感测电压,且该感测电压与该第一电压以及该发光二极管两端的跨压有关。

14. 一种像素电路运作方法,用以运作应用于一微发光二极管显示器的一像素电路,该像素电路包含一发光二极管、一第一晶体管、一第二晶体管、一第三晶体管、一第四晶体管、一第五晶体管、一第六晶体管及一电容,该发光二极管、该第一晶体管及该第二晶体管串接于一第一电压与一第二电压之间,该第一电压大于该第二电压,该第三晶体管、该第四晶体管及该第五晶体管串接于一第三电压与一第四电压之间,该第六晶体管耦接位于该发光二极管与该第一晶体管之间的一第一节点且该电容耦接位于该第一晶体管与该第二晶体管之间的一第二节点,该第一晶体管的栅极耦接位于该第三晶体管与该第四晶体管之间的一第三节点且该电容亦耦接位于该第四晶体管与该第五晶体管之间的一第四节点,其特征在于,该像素电路运作方法包含下列步骤:

提供一第一控制信号至该第二晶体管,以控制该第二晶体管的运作;

提供一第二控制信号至该第四晶体管,以控制该第四晶体管的运作;以及

分别提供一第三控制信号至该第三晶体管、该第五晶体管及该第六晶体管,以控制该第三晶体管、该第五晶体管及该第六晶体管的运作;

其中当该像素电路运作于一第一补偿模式时,该第六晶体管还耦接该第一电压;当该像素电路运作于一第二补偿模式时,该第六晶体管还耦接该微发光二极管显示器的一感测线。

15. 如权利要求14所述的像素电路运作方法,其特征在于,其中于该第一补偿模式下,该像素电路运作方法还包含下列步骤:

于一第一期间内,不导通该发光二极管并控制该第一控制信号与该第三控制信号为高电平且该第二控制信号为低电平,致使该第四晶体管不导通且该第一晶体管、该第二晶体管、该第三晶体管、该第五晶体管及该第六晶体管导通;

其中,该第一节点具有该第一电压、该第二节点具有该第二电压、该第三节点具有该第三电压且该第四节点具有该第四电压,从该第一节点流经该第一晶体管至该第二节点的一

重置电流与该第二电压、该第三电压以及该第一晶体管的临界电压有关。

16. 如权利要求14所述的像素电路运作方法,其特征在于,其中于该第一补偿模式下,该像素电路运作方法还包含下列步骤:

于一第二期间内,不导通该发光二极管并控制该第一控制信号与该第二控制信号为低电平且该第三控制信号为高电平,致使该第二晶体管及该第四晶体管不导通且该第一晶体管、该第三晶体管、该第五晶体管及该第六晶体管导通,

其中,该第一节点具有该第一电压、该第二节点的电压等于该第三电压减去该第一晶体管的临界电压、该第三节点具有该第三电压且该第四节点具有该第四电压,该电容两端的跨压等于该第四电压减去该第三电压再加上该第一晶体管的临界电压。

17. 如权利要求14所述的像素电路运作方法,其特征在于,其中于该第一补偿模式下,该像素电路运作方法还包含下列步骤:

于一第三期间内,导通该发光二极管并控制该第一控制信号与该第二控制信号为高电平且该第三控制信号为低电平,致使该第三晶体管、该第五晶体管及该第六晶体管不导通且该第一晶体管、该第二晶体管及该第四晶体管导通,

其中,流经该发光二极管的一发光二极管电流与该第四电压以及该第三电压有关。

18. 如权利要求14所述的像素电路运作方法,其特征在于,其中于该第二补偿模式下,该像素电路运作方法还包含下列步骤:

不导通该发光二极管并控制该第一控制信号与该第三控制信号为高电平且该第二控制信号为低电平,致使该第四晶体管不导通且该第一晶体管、该第二晶体管、该第三晶体管、该第五晶体管及该第六晶体管导通;以及

透过该感测线提供一检测电流并使其依序流经该第六晶体管、该第一节点、该第一晶体管、该第二节点及该第二晶体管;

其中,该检测电流与该第二电压、该第三电压以及该第一晶体管的临界电压有关。

19. 如权利要求14所述的像素电路运作方法,其特征在于,其中于该第二补偿模式下,该像素电路运作方法还包含下列步骤:

导通该发光二极管并控制该第一控制信号与该第二控制信号为低电平且该第三控制信号为高电平,致使该第一晶体管、该第二晶体管及该第四晶体管不导通且该第三晶体管、该第五晶体管及该第六晶体管导通;以及

提供一参考电流并使其依序流经该发光二极管、该第一节点及该第六晶体管至该感测线而形成一感测电压;

其中,该感测电压与该第一电压以及该发光二极管两端的跨压有关。

像素电路及其运作方法

技术领域

[0001] 本发明与显示装置有关,尤其是关于一种应用于微发光二极管显示器的像素电路及其运作方法。

背景技术

[0002] 一般而言,于传统的主动矩阵式有机发光二极管 (AMOLED) 显示器的像素电路中,其发光二极管采用一般的设置方式与接地电压耦接而非与工作电压耦接。

[0003] 举例而言,如图1所示,像素电路1包含发光二极管LED、第一晶体管T1~第四晶体管T4及第一电容C1~第二电容C2。其中,第三晶体管T3及第二晶体管T2串接于第一电压(工作电压)OVDD与第一接点N1之间;第一电容C1耦接于第二接点N2与第三接点N3之间;第二接点N2位于第一晶体管T1与第二晶体管T2的栅极之间;第三接点N3位于第四晶体管T4与第一接点N1之间;第二电容C2耦接于第四接点N4与第一接点N1之间;第四接点N4位于第一电压OVDD与第三晶体管T3之间;发光二极管LED耦接于第一接点N1与第二电压(接地电压)OVSS之间。第一晶体管T1的栅极受控于第一控制信号SCN;第三晶体管T3的栅极受控于第二控制信号EM;第四晶体管T4的栅极受控于第三控制信号RST。第一晶体管T1耦接数据信号DAT;第四晶体管T4耦接电压信号VSU。

[0004] 亦请参照图2,图2示出图1中的第一控制信号SCN、第二控制信号EM、第三控制信号RST、数据信号DAT及电压信号VSU的时序图。

[0005] 如图2所示,第一期间t1、第二期间t2、第三期间t3及第四期间t4分别被定义为重设期间、补偿期间、数据写入期间及发光期间。

[0006] 于第一期间(重设期间)t1内,仅有第一控制信号SCN与第三控制信号RST为高电平HL,至于第二控制信号EM及电压信号VSU为低电平LL且数据信号DAT具有低电平的参考电压VREF。

[0007] 于第二期间(补偿期间)t2内,仅有第一控制信号SCN与第二控制信号EM为高电平HL,至于第三控制信号RST及电压信号VSU为低电平LL且数据信号DAT具有低电平的参考电压VREF。

[0008] 于第三期间(数据写入期间)t3内,仅有第一控制信号SCN为高电平HL且数据信号DAT具有高电平的数据电压VDAT,至于第二控制信号EM、第三控制信号RST及电压信号VSU则为低电平LL。

[0009] 于第四期间(发光期间)t4内,仅有第二控制信号EM为高电平HL,其余的第一控制信号SCN、第三控制信号RST及电压信号VSU均为低电平LL且数据信号DAT具有低电平的参考电压VREF。

[0010] 由上述可知:传统的像素电路1的补偿期间与数据写入期间彼此分离,亦即补偿与数据写入的动作不会同时进行,导致补偿时间相对较短。此外,于第四期间(发光期间)t4内流经发光二极管LED的发光二极管电流不仅与数据电压VDAT与参考电压VREF有关,还会与第一电容C1、第二电容C2及发光二极管的电容值有关,亦即发光二极管电流会随着发光二

极管的等效电容而改变。

[0011] 然而,根据实验数据可知:在跨压为0伏特的情况下,红色(Red)有机发光二极管、绿色(Green)有机发光二极管及蓝色(Blue)有机发光二极管的电容值分别为1pF、354fF及263fF,并且红色有机发光二极管在跨压为0伏特前的电容值并不固定,致使传统的像素电路1容易受到发光元件的等效电容影响而变得较不稳定。

发明内容

[0012] 因此,本发明提出一种应用于微发光二极管显示器的像素电路及其运作方法,以解决现有技术所遭遇的上述问题。

[0013] 根据本发明的一具体实施例为一种像素电路。于此实施例中,像素电路应用于微发光二极管显示器。像素电路接收第一控制信号、第二控制信号及第三控制信号。像素电路包含发光二极管、第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管及电容。发光二极管耦接于第一电压与第一节点之间。第一晶体管耦接于第一节点与第二节点之间。第二晶体管耦接于第二节点与第二电压之间,其中第二电压低于第一电压。第三晶体管耦接于第三电压与第三节点之间,且接收第三控制信号并受第三控制信号所控制。第四晶体管耦接于第三节点与第四节点之间,且其栅极接收第二控制信号并受第二控制信号所控制。第五晶体管耦接于第四节点与第四电压之间,且接收第三控制信号并受第三控制信号所控制。第六晶体管的一端耦接第一节点,且接收第三控制信号并受第三控制信号所控制。电容耦接于第二节点与第四节点之间。

[0014] 于一实施例中,第三电压为参考电压且第四电压为数据电压。

[0015] 于一实施例中,第三电压为数据电压且第四电压为参考电压。

[0016] 于一实施例中,当像素电路运作于第一补偿模式时,第六晶体管的另一端耦接第一电压。

[0017] 于一实施例中,于第一期间内,发光二极管不导通,第一控制信号与第三控制信号为高电平且第二控制信号为低电平,致使第四晶体管不导通且第一晶体管、第二晶体管、第三晶体管、第五晶体管及第六晶体管导通。

[0018] 于一实施例中,第一节点具有第一电压、第二节点具有第二电压、第三节点具有第三电压且第四节点具有第四电压,从第一节点流经第一晶体管至第二节点的重置电流与第二电压、第三电压以及第一晶体管的临界电压有关。

[0019] 于一实施例中,于第二期间内,发光二极管不导通,第一控制信号与第二控制信号为低电平且第三控制信号为高电平,致使第二晶体管及第四晶体管不导通且第一晶体管、第三晶体管、第五晶体管及第六晶体管导通。

[0020] 于一实施例中,第一节点具有第一电压、第二节点的电压等于第三电压减去第一晶体管的临界电压、第三节点具有第三电压且第四节点具有第四电压,电容两端的跨压等于第四电压减去第三电压再加上第一晶体管的临界电压。

[0021] 于一实施例中,于第三期间内,发光二极管导通,第一控制信号与第二控制信号为高电平且第三控制信号为低电平,致使第三晶体管、第五晶体管及第六晶体管不导通且第一晶体管、第二晶体管及第四晶体管导通。

[0022] 于一实施例中,流经发光二极管的发光二极管电流与第四电压以及第三电压有

关。

[0023] 于一实施例中,当像素电路运作于第二补偿模式时,第六晶体管的另一端耦接微发光二极管显示器的感测线。

[0024] 于一实施例中,第一控制信号与第三控制信号为高电平且第二控制信号为低电平,致使第四晶体管不导通且第一晶体管、第二晶体管、第三晶体管、第五晶体管及第六晶体管导通,发光二极管不导通,感测线提供检测电流依序流经第六晶体管、第一节点、第一晶体管、第二节点及第二晶体管,且检测电流与第二电压、第三电压以及第一晶体管的临界电压有关。

[0025] 于一实施例中,第一控制信号与第二控制信号为低电平且第三控制信号为高电平,致使第一晶体管、第二晶体管及第四晶体管不导通且第三晶体管、第五晶体管及第六晶体管导通,发光二极管导通,参考电流依序流经发光二极管、第一节点及第六晶体管至感测线而形成感测电压,且感测电压与第一电压以及发光二极管两端的跨压有关。

[0026] 根据本发明的另一具体实施例为一种像素电路运作方法。于此实施例中,像素电路运作方法用以运作应用于微发光二极管显示器的像素电路。像素电路包含发光二极管、第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管及电容。发光二极管、第一晶体管及第二晶体管串接于第一电压与第二电压之间,第一电压大于第二电压。第三晶体管、第四晶体管及第五晶体管串接于第三电压与第四电压之间。第六晶体管耦接位于发光二极管与第一晶体管之间的第一节点且电容耦接位于第一晶体管与第二晶体管之间的第二节点。第一晶体管的栅极耦接位于第三晶体管与第四晶体管之间的第三节点且电容亦耦接位于第四晶体管与第五晶体管之间的第四节点。像素电路运作方法包含下列步骤:

[0027] 提供第一控制信号至第二晶体管,以控制第二晶体管的运作;

[0028] 提供第二控制信号至第四晶体管,以控制第四晶体管的运作;以及

[0029] 分别提供第三控制信号至第三晶体管、第五晶体管及第六晶体管,以控制第三晶体管、第五晶体管及该第六晶体管的运作。

[0030] 相较于现有技术,本发明提出一种应用于微发光二极管显示器的像素电路及其运作方法,由于其发光二极管电流与发光二极管的等效电容无关,故可有效改善现有技术中的像素电路容易受到发光二极管的等效电容影响的缺点,并且本发明的像素电路可同时进行补偿与数据写入的动作,故可大幅增长补偿时间。此外,本发明的像素电路可视实际需要采用内部自补偿模式或外部补偿模式,故可增加实际应用上的弹性。

[0031] 以下结合附图和具体实施例对本发明进行详细描述,但不作为对本发明的限定。

附图说明

[0032] 图1示出传统的主动矩阵式有机发光二极管显示器的像素电路的示意图。

[0033] 图2示出图1中的第一控制信号SCN、第二控制信号EM、第三控制信号RST、数据信号DAT及电压信号VSU的时序图。图。

[0034] 图3示出根据本发明的一较佳具体实施例中的像素电路3的示意图。

[0035] 图4示出图3中的第一控制信号S1、第二控制信号S2、第三控制信号S3及第四电压VDAT的时序图。

[0036] 图5A至图5C分别示出像素电路3在第一期间t1至第三期间t3运作于内部自补偿模式的示意图。

[0037] 图6A及图6B分别示出像素电路3在第一期间t1及第二期间t2运作于外部补偿模式的示意图。

[0038] 图7示出根据本发明的另一较佳具体实施例中的像素电路7的示意图。

[0039] 图8示出根据本发明的另一较佳具体实施例中的像素电路运作方法的流程图。

[0040] 其中,附图标记:

[0041] 1:像素电路

[0042] C1~C2:第一电容~第二电容

[0043] SCN:第一控制信号

[0044] EM:第二控制信号

[0045] RST:第三控制信号

[0046] DAT:数据信号

[0047] VSU:电压信号

[0048] HL:高电平

[0049] LL:低电平

[0050] 3:像素电路

[0051] T1~T6:第一晶体管~第六晶体管

[0052] S1~S3:第一控制信号~第三控制信号

[0053] N1~N4:第一节点~第四节点

[0054] C:电容

[0055] LED:发光二极管

[0056] OVDD:第一电压

[0057] OVSS:第二电压

[0058] VREF:第三电压

[0059] VDAT:第四电压

[0060] LSEN:感测线

[0061] t1~t4:第一期间~第四期间

[0062] I_{RES}:重设电流

[0063] V_{TH_T1}:第一晶体管的临界电压

[0064] I_{LED}:发光二极管电流

[0065] I_{DET}:检测电流

[0066] V_{SEN}:感测电压

[0067] I_{REF}:参考电流

[0068] 7:像素电路

具体实施方式

[0069] 下面结合附图对本发明的结构原理和工作原理作具体的描述:

[0070] 在下文中将参照附图更全面地描述本发明,在附图中示出了本发明的示例性实施

例。如本领域技术人员将认识到的,可以以各种不同的方式修改所描述的实施例,而不脱离本发明的精神或范围。

[0071] 在附图中,为了清楚起见,放大了部份区域。在整个说明书中,相同的附图标记表示相同的元件。应当理解,当诸如区域或基板的元件被称为在另一元件“上”或者“连接(或称为耦接)”又或者“电性连接”另一元件时,其可以直接在另一元件上或与另一元件连接(或称为耦接)或电性连接,或者中间元件可以也存在。相反,当元件被称为“直接在另一元件上”或“直接连接到”另一元件时,不存在中间元件。如本文所使用的,“连接(或称为耦接)”可以指物理及/或电连接。

[0072] 根据本发明的一较佳具体实施例为一种像素电路。于此实施例中,像素电路应用于微发光二极管显示器且像素电路由六个晶体管(Transistor)与一个电容(Capacitor)构成所谓“6T1C”架构,且其发光二极管采用倒置(Inverted)的设置方式,亦即其发光二极管与工作电压耦接而非与接地电压耦接,但不以此为限。

[0073] 请参照图3,图3示出此实施例中的像素电路3的示意图。如图3所示,像素电路3包含发光二极管LED、第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6及电容C。

[0074] 发光二极管LED耦接于第一电压OVDD与第一节点N1之间。第一晶体管T1耦接于第一节点N1与第二节点N2之间。第二晶体管T2耦接于第二节点N2与第二电压OVSS之间。于此实施例中,第二电压OVSS低于第一电压OVDD,例如第一电压OVDD为工作电压且第二电压OVSS为接地电压,但不以此为限。

[0075] 第三晶体管T3耦接于第三电压VREF与第三节点N3之间,且第三晶体管T3的栅极接收第三控制信号S3并受第三控制信号S3所控制。第四晶体管T4耦接于第三节点N3与第四节点N4之间,且第四晶体管T4的栅极接收第二控制信号S2并受第二控制信号S2所控制。于此实施例中,第三晶体管T3耦接的第三电压VREF为一参考电压,但不以此为限。

[0076] 第五晶体管T5耦接于第四节点N4与第四电压V_{DATA}之间,且第五晶体管T5的栅极接收第三控制信号S3并受第三控制信号S3所控制。第六晶体管T6的一端耦接第一节点N1,且第六晶体管T6的栅极接收第三控制信号S3并受第三控制信号S3所控制。电容C耦接于第二节点N2与第四节点N4之间。于此实施例中,第五晶体管T5耦接的第四电压V_{DATA}为一数据电压,但不以此为限。

[0077] 需说明的是,此实施例中的第三电压VREF为参考电压且第四电压V_{DATA}为数据电压,且第六晶体管T6的另一端可依照不同补偿模式而选择性地耦接第一电压OVDD或是耦接发光二极管显示器的感测线LSEN。由于像素电路3可视实际需要采用内部自补偿模式或外部补偿模式,故可增加实际应用上的弹性。

[0078] 接着,请参照图4,图4示出图3中的第一控制信号S1、第二控制信号S2、第三控制信号S3及第四电压V_{DATA}的时序图。需说明的是,图4中的第一期间t1、第二期间t2及第三期间t3分别被定义为重设期间、补偿与数据写入期间以及发光期间。

[0079] 于第一期间(重设期间)t1内,第一控制信号S1与第三控制信号S3为高电平HL且第二控制信号S2为低电平LL,致使第四晶体管T4不导通且第一晶体管T1、第二晶体管T2、第三晶体管T3、第五晶体管T5及第六晶体管T6导通。

[0080] 于第二期间(补偿与数据写入期间)t2内,第一控制信号S1与第二控制信号S2为低

电平LL且第三控制信号S3为高电平HL,致使第二晶体管T2及第四晶体管T4不导通且第一晶体管T1、第三晶体管T3、第五晶体管T5及第六晶体管T6导通。

[0081] 于第三期间(发光期间) t_3 内,第一控制信号S1与第二控制信号S2为高电平HL且第三控制信号S3为低电平LL,致使第三晶体管T3、第五晶体管T5及第六晶体管T6不导通且第一晶体管T1、第二晶体管T2及第四晶体管T4导通。

[0082] 接下来,分别就像素电路3运作于内部自补偿模式及外部补偿模式的情形进行说明。

[0083] 于一实施例中,请参照图5A至图5C,图5A至图5C分别示出像素电路3在第一期间 t_1 至第三期间 t_3 运作于内部自补偿模式的示意图。需说明的是,当像素电路3运作于内部自补偿模式时,第六晶体管T6的另一端耦接第一电压OVDD。

[0084] 如图4及图5A所示,于第一期间(重设期间) t_1 内,发光二极管LED不导通(于图5A中以打X表示),第一控制信号S1与第三控制信号S3为高电平HL且第二控制信号S2为低电平LL,致使第四晶体管T4不导通(于图5A中以打X表示)且第一晶体管T1、第二晶体管T2、第三晶体管T3、第五晶体管T5及第六晶体管T6导通。

[0085] 因此,于第一期间(重设期间) t_1 内,第一节点N1具有第一电压OVDD、第二节点N2具有第二电压OVSS、第三节点N3具有第三电压VREF且第四节点N4具有第四电压VDAT。

[0086] 需说明的是,于第一期间(重设期间) t_1 内从第一节点N1流经第一晶体管T1至第二节点N2的重置电流 I_{RES} 会与第二电压OVSS、第三电压VREF以及第一晶体管T1的临界电压(V_{TH_T1})有关,例如 I_{RES} 正比于 $(VREF - OVSS - V_{TH_T1})^2$,但不以此为限。

[0087] 如图4及图5B所示,于第二期间(补偿与数据写入期间) t_2 内,发光二极管LED不导通(于图5B中以打X表示),第一控制信号S1与第二控制信号S2为低电平LL且第三控制信号S3为高电平HL,致使第二晶体管T2及第四晶体管T4不导通(于图5B中以打X表示)且第一晶体管T1、第三晶体管T3、第五晶体管T5及第六晶体管T6导通。

[0088] 因此,于第二期间(补偿与数据写入期间) t_2 内,第一节点N1具有第一电压OVDD、第二节点N2的电压等于第三电压VREF减去第一晶体管T1的临界电压 V_{TH_T1} 、第三节点N3具有第三电压VREF且第四节点N4具有第四电压VDAT。

[0089] 需说明的是,于第二期间(补偿与数据写入期间) t_2 内,电容C两端的跨压(V_c)会等于第四电压VDAT减去第三电压VREF再加上第一晶体管T1的临界电压 V_{TH_T1} ,亦即 $V_c = VDAT - VREF + V_{TH_T1}$,但不以此为限。此外,由于像素电路3可于第二期间(补偿与数据写入期间) t_2 内同时进行补偿与数据写入的动作,故可大幅增长补偿时间,有效改善现有技术中的补偿时间不足的缺点。

[0090] 如图4及图5C所示,于第三期间(发光期间) t_3 内,发光二极管LED导通,第一控制信号S1与第二控制信号S2为高电平HL且第三控制信号S3为低电平LL,致使第三晶体管T3、第五晶体管T5及第六晶体管T6不导通(于图5C中以打X表示)且第一晶体管T1、第二晶体管T2及第四晶体管T4导通。

[0091] 需说明的是,于第三期间(发光期间) t_3 内,流经发光二极管LED的发光二极管电流 I_{LED} 与第四电压VDAT以及第三电压VREF有关,例如 I_{LED} 正比于 $(VDAT - VREF)^2$,但不以此为限。因此,此实施例中的发光二极管电流 I_{LED} 会与发光二极管LED的等效电容无关,故可有效改善现有技术中的像素电路容易受到发光二极管的等效电容影响的缺点。

[0092] 于另一实施例中,请参照图6A及图6B,图6A及图6B分别示出像素电路3在第一期间t1及第二期间t2运作于外部补偿模式的示意图。需说明的是,当像素电路3运作于外部补偿模式时,第六晶体管T6的另一端耦接微发光二极管显示器的感测线LSEN。

[0093] 如图6A所示,于第一期间t1内,发光二极管LED不导通(于图6A中以打X表示),第一控制信号S1与第三控制信号S3为高电平且第二控制信号S2为低电平,致使第四晶体管T4不导通(于图6A中以打X表示)且第一晶体管T1、第二晶体管T2、第三晶体管T3、第五晶体管T5及第六晶体管T6导通。

[0094] 需说明的是,于第一期间t1内,从发光二极管显示器的感测线LSEN所提供的检测电流 I_{DET} 会依序流经第六晶体管T6、第一节点N1、第一晶体管T1、第二节点N2及第二晶体管T2至第二电压0VSS,且检测电流 I_{DET} 会与第二电压0VSS、第三电压VREF以及第一晶体管T1的临界电压 V_{TH_T1} 有关,例如 I_{DET} 正比于 $(VREF-0VSS-V_{TH_T1})^2$,但不以此为限。

[0095] 如图6B所示,于第二期间t2内,发光二极管LED导通,第一控制信号S1与第二控制信号S2为低电平且第三控制信号S3为高电平,致使第一晶体管T1、第二晶体管T2及第四晶体管T4不导通(于图6B中以打X表示)且第三晶体管T3、第五晶体管T5及第六晶体管T6导通。

[0096] 需说明的是,于第二期间t2内,参考电流 I_{REF} 从第一电压0VDD依序流经发光二极管LED、第一节点N1及第六晶体管T6至感测线LSEN而形成感测电压 V_{SEN} ,且感测电压 V_{SEN} 会与第一电压0VDD以及发光二极管LED两端的跨压(V_{LED})有关,例如 $V_{SEN}=0VDD-V_{LED}$,但不以此为限。

[0097] 请参照图7,图7示出根据本发明的另一较佳具体实施例中的像素电路7的示意图。

[0098] 需说明的是,图7中的像素电路7的架构与运作情形基本上与图3中的像素电路3的架构与运作情形一致,两者的差别仅在于:图3中的像素电路3的第三晶体管T3耦接的是参考电压且第五晶体管T5耦接的是数据电压,而图7中的像素电路7的第三晶体管T3耦接的是数据电压且第五晶体管T5耦接的是参考电压,亦即像素电路7与像素电路3中的数据电压与参考电压彼此对调。

[0099] 由于流经发光二极管LED的发光二极管电流 I_{LED} 会与第三晶体管T3耦接的第三电压以及第五晶体管T5耦接的第四电压有关,因此,图7中的像素电路7的发光二极管电流 I_{LED} 会正比于 $(VREF-DAT)^2$,亦即发光二极管电流 I_{LED} 会与发光二极管LED的等效电容无关,故可有效改善现有技术中的像素电路容易受到发光二极管的等效电容影响的缺点。

[0100] 根据本发明的另一具体实施例为一种像素电路运作方法。于此实施例中,像素电路运作方法用以运作应用于微发光二极管显示器的像素电路,但不以此为限。

[0101] 像素电路包含发光二极管、第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管及电容。发光二极管、第一晶体管及第二晶体管串接于第一电压与第二电压之间,第一电压大于第二电压。第三晶体管、第四晶体管及第五晶体管串接于第三电压与第四电压之间。第六晶体管耦接位于发光二极管与第一晶体管之间的第一节点且电容耦接位于第一晶体管与第二晶体管之间的第二节点。第一晶体管的栅极耦接位于第三晶体管与第四晶体管之间的第三节点且电容亦耦接位于第四晶体管与第五晶体管之间的第四节点。

[0102] 请参照图8,图8示出此实施例中的像素电路运作方法的流程图。

[0103] 如图8所示,像素电路运作方法包含下列步骤:

[0104] 步骤S100:提供第一控制信号至第二晶体管的栅极,以控制第二晶体管的运作;

[0105] 步骤S120:提供第二控制信号至第四晶体管的栅极,以控制第四晶体管的运作;以及

[0106] 步骤S140:分别提供第三控制信号至第三晶体管、第五晶体管及第六晶体管的栅极,以控制第三晶体管、第五晶体管及该第六晶体管的运作。

[0107] 至于像素电路运作方法的详细运作情形可参照上述各实施例的相关文字及图式说明,于此不另行赘述。

[0108] 相较于现有技术,本发明提出一种应用于微发光二极管显示器的像素电路及其运作方法,由于其发光二极管电流与发光二极管的等效电容无关,故可有效改善现有技术中的像素电路容易受到发光二极管的等效电容影响的缺点,并且本发明的像素电路可同时进行补偿与数据写入的动作,故可大幅增长补偿时间。此外,本发明的像素电路可视实际需要采用内部自补偿模式或外部补偿模式,故可增加实际应用上的弹性。

[0109] 当然,本发明还可有其它多种实施例,在不背离本发明精神及其实质的情况下,熟悉本领域的技术人员当可根据本发明作出各种相应的改变和变形,但这些相应的改变和变形都应属于本发明所附的权利要求的保护范围。

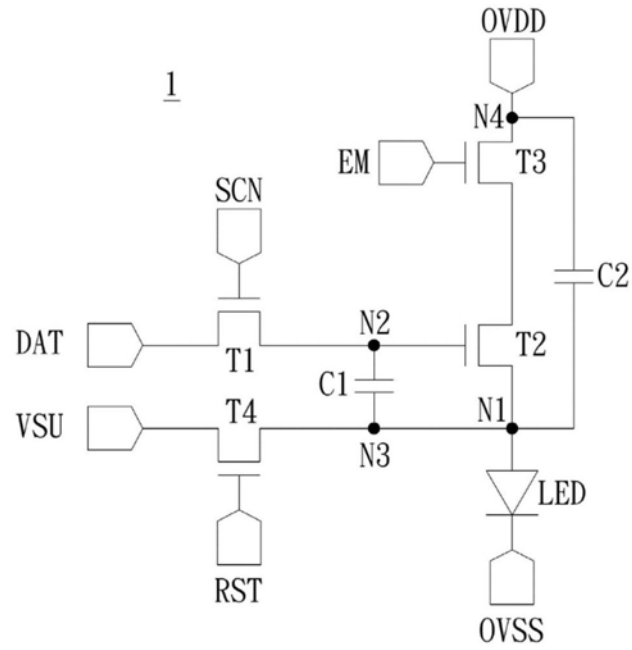


图1

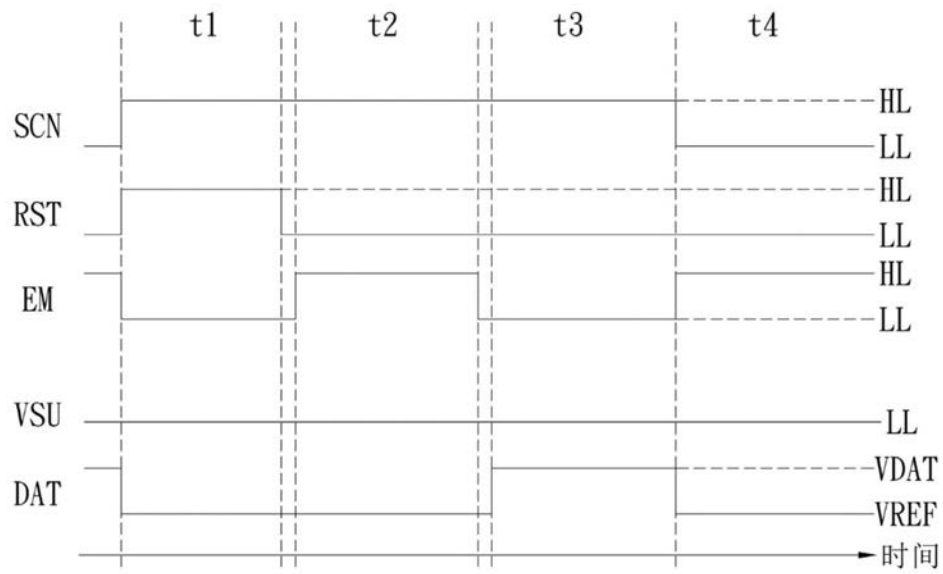


图2

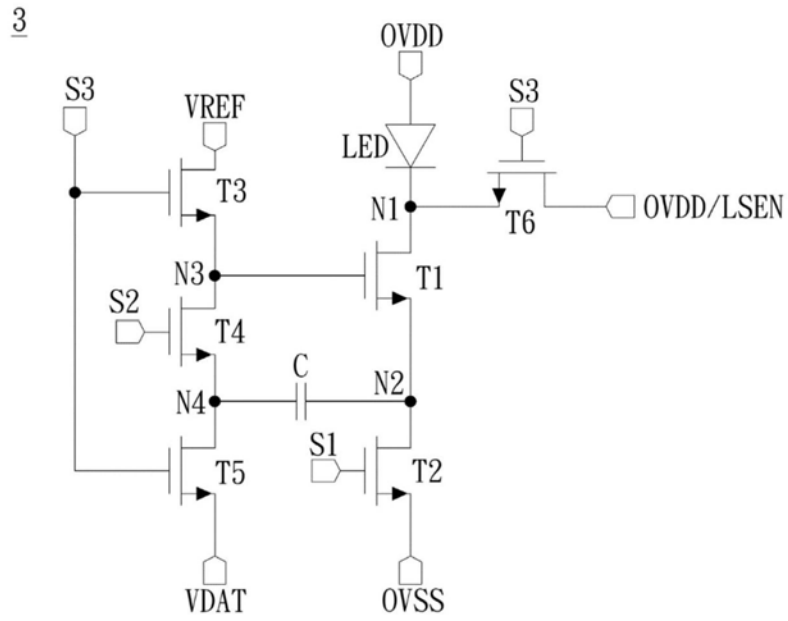


图3

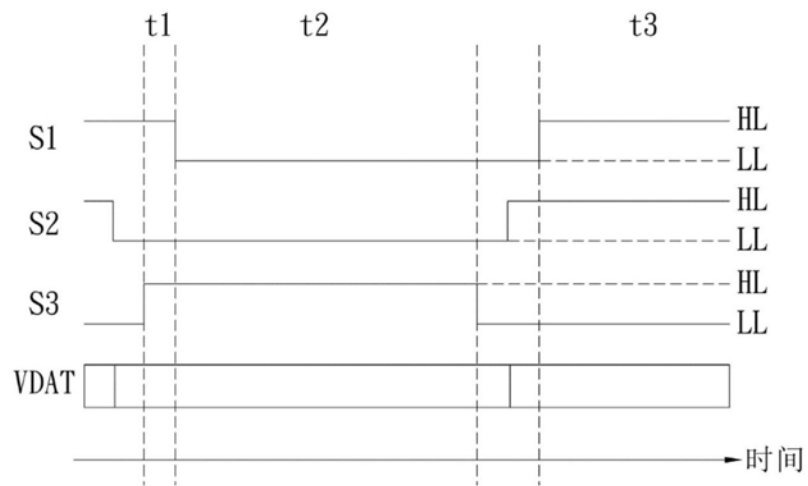


图4

3

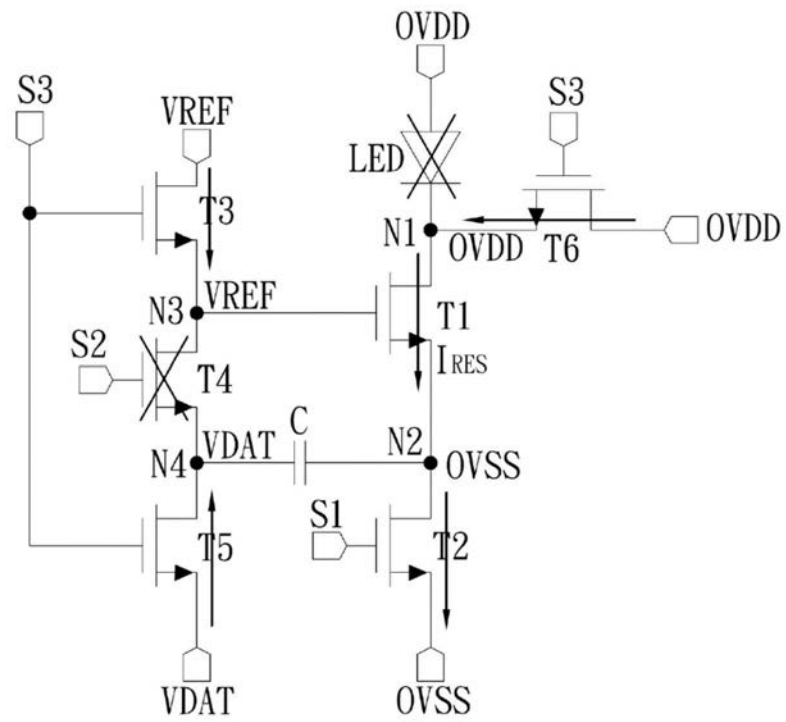


图5A

3

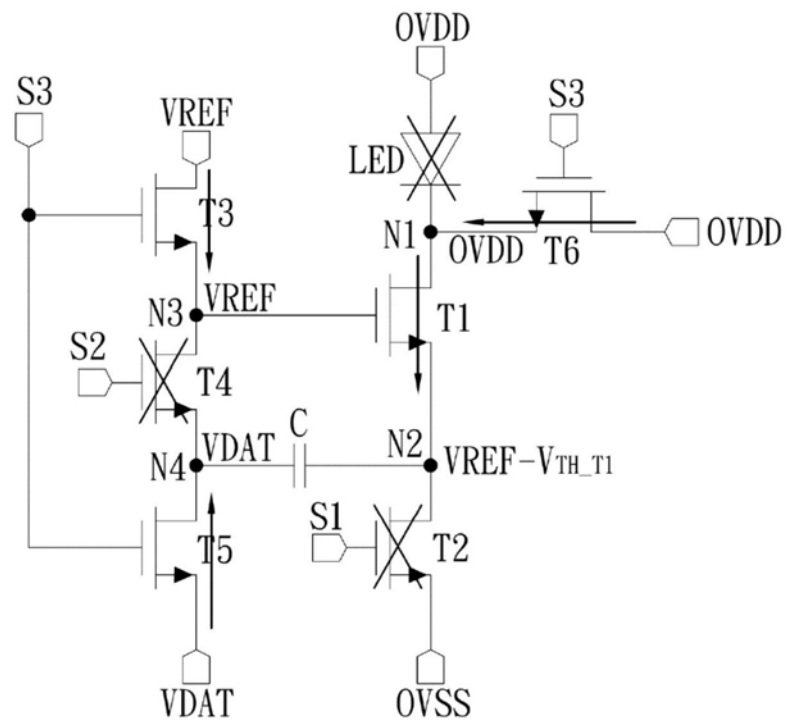


图5B

3

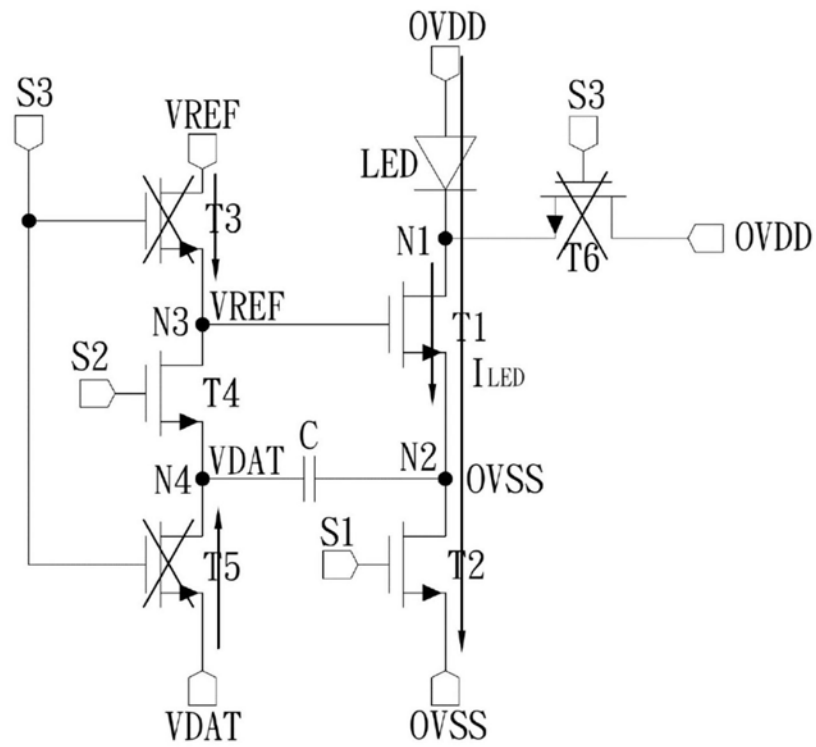


图5C

3

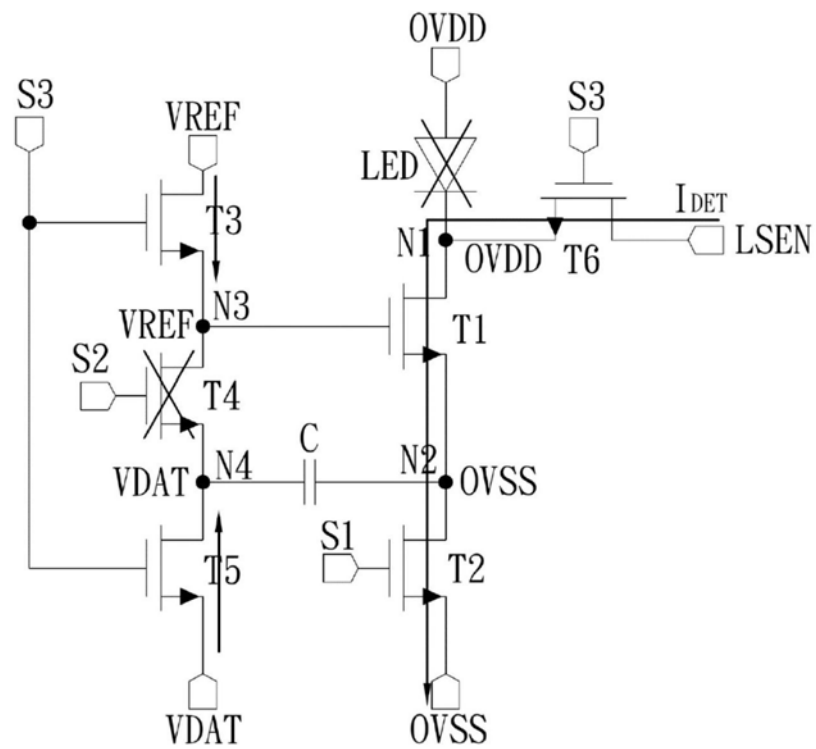


图6A

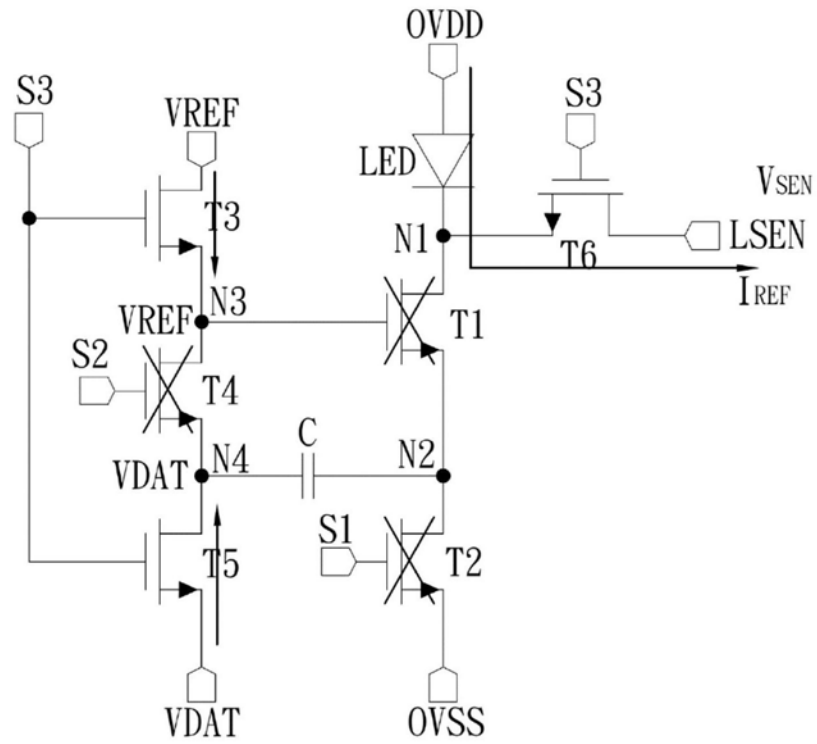
3

图6B

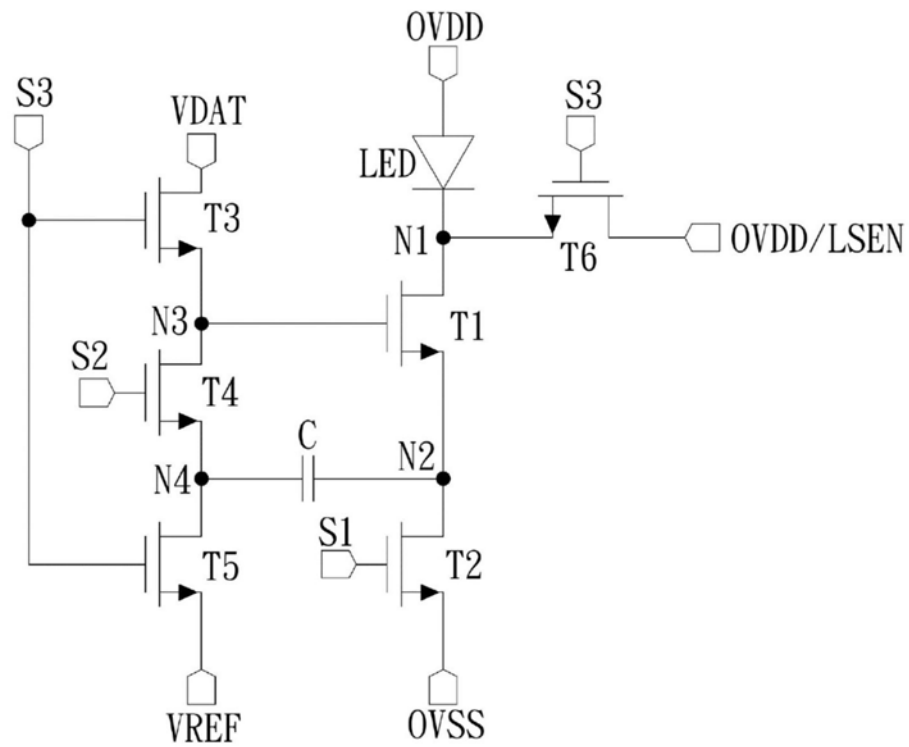
7

图7

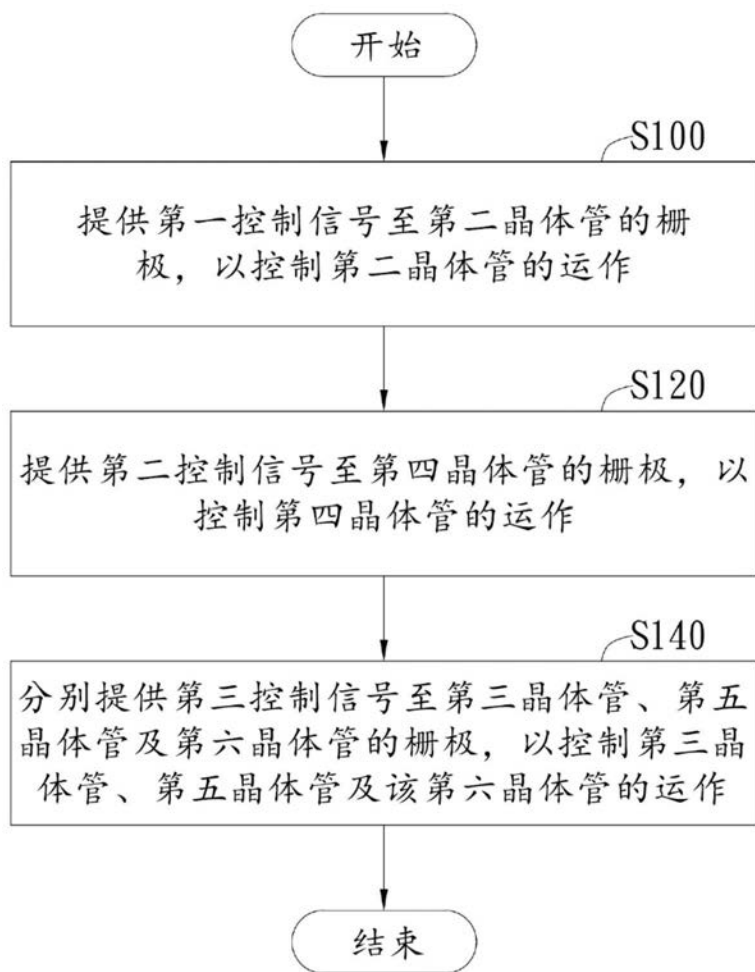


图8

专利名称(译)	像素电路及其运作方法		
公开(公告)号	CN109272936B	公开(公告)日	2020-06-02
申请号	CN201811462274.7	申请日	2018-11-30
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	洪嘉澤 郑贸薰 林振祺 詹孟熙 郭庭玮 奚鹏博		
发明人	洪嘉澤 郑贸薰 林振祺 詹孟熙 郭庭玮 奚鹏博		
IPC分类号	G09G3/3225		
CPC分类号	G09G3/3225 G09G3/3233 G09G2300/043 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/0295 G09G2320/045 G09G3/32 G09G2300/0426 G09G2300/0439		
代理人(译)	孟超		
审查员(译)	刘承奇		
优先权	107131030 2018-09-04 TW		
其他公开文献	CN109272936A		
外部链接	Espacenet SIPO		

摘要(译)

一种应用于微发光二极管显示器的像素电路，包含发光二极管、第一晶体管~第六晶体管及电容。发光二极管耦接于第一电压与第一节点之间。第一晶体管耦接于第一节点与第二节点之间。第二晶体管耦接于第二节点与低于第一电压的第二电压之间。第三晶体管耦接于第三电压与第三节点之间。第四晶体管耦接于第三节点与第四节点之间。第五晶体管耦接于第四节点与第四电压之间。第六晶体管的一端耦接第一节点。电容耦接于第二节点与第四节点之间。第四晶体管受控于第二控制信号。第三晶体管、第五晶体管及第六晶体管受控于第三控制信号。

3

